

E 5682

Qweb Message 8111

Retrieved from cache

1/1 JAPIO - (C) JPO

PN - JP 05082787 A 19930402 [JP05082787]

TI - THIN FILM TRANSISTOR TYPE NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

IN - NISHIMOTO YOSHITSUGU

PA - SONY CORP

AP - JP26829791 19910919 [1991JP-0268297]

IC1 - H01L-029/784

IC2 - H01L-029/788 H01L-029/792

AB - PURPOSE: To provide a nonvolatile semiconductor memory device wherein a chip size for acquiring a memory of the same capacity is greatly reduced, high integration is possible and layout design which is free in three dimensional direction is possible.

- CONSTITUTION: A channel region 6a is formed in a semiconductor thin film 6 which is formed directly or indirectly through another functional thin film on an insulating film 4. A floating gate 10 and

a

control gate 14 for constituting a nonvolatile semiconductor memory are formed through an insulating film at an upper layer side and/or a lower layer side of the semiconductor thin film 6 wherein the channel region 6a is formed. Thereby, a TFT-type EPROM or E(sup 2)PROM is constituted. A gate electrode of an MNOS structure can be formed at a

n

upper layer side and/or a lower layer side of the semiconductor thin film 6.

- COPYRIGHT: (C) 1993, JPO&Japio

Search statement 3

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-82787

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784 29/788 29/792		9056-4M 8225-4M	H 0 1 L 29/ 78 3 1 1 J 3 7 1	
審査請求 未請求 請求項の数3(全 5 頁)				

(21)出願番号 特願平3-268297

(22)出願日 平成3年(1991)9月19日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 西本 佳嗣

東京都品川区北品川6丁目7番35号 ソニー株式会社内

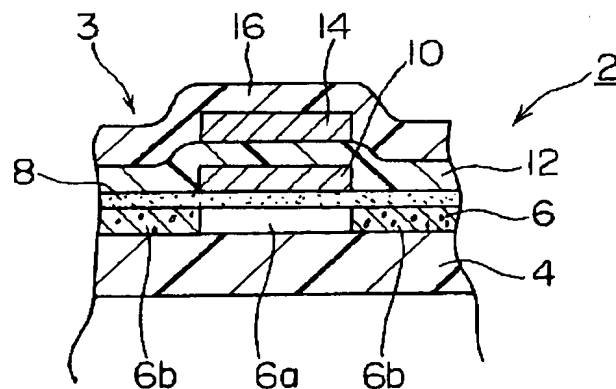
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 薄膜トランジスタ型不揮発性半導体メモリ装置

(57)【要約】

【目的】 同一容量のメモリを得るためのチップサイズを大幅に低減し、高集積化が可能であり、3次元方向に自由なレイアウト設計が可能な不揮発性半導体メモリ装置を提供する。

【構成】 絶縁膜4上に直接あるいは他の機能薄膜を介して間接的に形成してある半導体薄膜6に、チャネル領域6aを形成し、このチャネル領域6aが形成された半導体薄膜6の上層側および/または下層側に、不揮発性半導体メモリを構成するためのフローティングゲート10およびコントロールゲート14が絶縁膜を介して形成し、TFT型EPROMまたはE² PROMを構成する。半導体薄膜6の上層側および/または下層側には、MNOS構造のゲート電極を形成しても良い。



【特許請求の範囲】

【請求項1】 絶縁膜上に直接あるいは他の機能薄膜を介して間接的に形成してある半導体薄膜に、チャネル領域を形成し、このチャネル領域が形成された半導体薄膜の上層側および／または下層側に、不揮発性半導体メモリを構成するためのゲート電極構造が形成してあることを特徴とする薄膜トランジスタ型不揮発性半導体メモリ装置。

【請求項2】 上記ゲート電極構造は、絶縁膜を介してそれぞれ積層されるフローティングゲートと、コントロールゲートとから成る請求項1に記載の薄膜トランジスタ型不揮発性半導体メモリ装置。

【請求項3】 上記ゲート電極構造は、絶縁膜を介して積層される窒化珪素膜とゲート電極とから成る請求項1に記載の薄膜トランジスタ型不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、不揮発性半導体メモリ装置に係わり、特に薄膜トランジスタ（TF T）型の不揮発性半導体メモリ装置に関する。

【0002】

【従来の技術】不揮発性半導体メモリ装置としては、情報の消去および書き込みが可能なEPROM、フラッシュ型E² PROMおよびMNOS型E² PROMが知られている。これらのEPROM、フラッシュ型E² PROMおよびMNOS型E² PROMは、従来では、シリコン製半導体基板に、ソース、ドレイン領域およびチャネル領域を形成し、その半導体基板の上に、不揮発性メモリを構成するためのゲート電極構造が形成してある。

【0003】

【発明が解決しようとする課題】このような従来の不揮発性半導体メモリ装置の容量を増大させるには、メモリセルを半導体基板の表面に沿って2次元的に配置せざるを得ないことから、メモリ装置のチップサイズを大きくせざるを得ないという問題点を有している。最近では、ゲート電極構造の配列を工夫することにより、高集積化を図ったメモリ装置も開発されているが、基本的には、メモリセルを半導体基板の表面に沿って2次元的に配置する構成のため、高集積化にも限界がある。

【0004】また、従来の不揮発性半導体メモリ装置の構成では、半導体基板にソース、ドレイン領域およびチャネル領域を形成する構成であるため、チャネル領域とゲート電極との位置関係が一義的に定まり、設計レイアウトの自由度が狭いという問題点も有している。

【0005】本発明は、このような実状に鑑みてなされ、同一容量のメモリを得るためのチップサイズを大幅に低減し、高集積化が可能であり、3次元方向に自由なレイアウト設計が可能な不揮発性半導体メモリ装置を提供することを目的とする。

【0006】

【課題を解決するための手段】このような目的を達成するために、本発明の不揮発性半導体メモリ装置では、絶縁膜上に直接あるいは他の機能薄膜を介して間接的に形成してある半導体薄膜に、チャネル領域を形成し、このチャネル領域が形成された半導体薄膜の上層側および／または下層側に、不揮発性半導体メモリを構成するためのゲート電極構造が形成してある。

【0007】

【作用】本発明の不揮発性半導体メモリ装置では、半導体薄膜にチャネル領域を形成し、その半導体薄膜の上層側および／または下層側に、不揮発性半導体メモリを構成するためのゲート電極構造が形成してあるので、薄膜トランジスタ構造の不揮発性メモリが実現され、例えば半導体基板に、メモリ駆動用の周辺回路を形成する等により、チップサイズの低減および高集積化が可能になる。また、半導体薄膜の上層側および／または下層側にゲート電極構造を配置することが可能となるので、設計レイアウトの自由度が増大する。特に、半導体薄膜の下層側にゲート電極を有する構造では、このゲート電極を、半導体基板に形成したチャネルのゲート電極と共通化することが可能になり、ゲート電極配線数を減らすことが可能になる。

【0008】

【実施例】以下、本発明の一実施例に係る薄膜トランジスタ（TF T）型不揮発性半導体メモリ装置について、図面を参照しつつ詳細に説明する。図1は本発明の一実施例に係るTF T型不揮発性半導体メモリ装置の要部概略断面図、図2～7は本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリの要部概略断面図である。

【0009】図1に示す不揮発性半導体メモリ装置2は、半導体薄膜に形成してあるEPROMであり、図示するような構成のメモリセル3を有している。各メモリセル3では、図示しない半導体基板上に形成してある層間絶縁膜4の上に、半導体薄膜6が形成してある。この半導体薄膜6は、例えばCVD法により成膜されたポリシリコン薄膜であり、この薄膜6にチャネル領域6aと、ソース・ドレイン領域領域6bとが形成してある。なお、半導体薄膜6としては、ポリシリコン薄膜以外に、アモルファスシリコン薄膜あるいは単結晶成長させたSOI（Silicon On Insulator）構造の単結晶シリコン薄膜を用いるようにしても良い。半導体薄膜6の膜厚は、特に限定されないが、好ましくは数百～数千オングストローム程度である。薄膜6のグレインサイズは、リーク電流を防止する観点からは、大きいほど好ましい。

【0010】半導体薄膜6の上には、ゲート絶縁膜8が積層される。ゲート絶縁膜8は、例えばCVD法により成膜される酸化シリコン薄膜で構成される。ゲート絶縁

膜8の膜厚は、特に限定されないが、フローティングゲート型EPROMを構成する場合には、400オングストローム以下程度である。また、フローティングゲートを有するフラッシュ型E² PROMを構成する場合には、100オングストローム程度である。フローティングゲート型EPROMと、フローティングゲートを有するフラッシュ型E² PROMとは、基本的には同様な構成を有しており、ゲート絶縁膜の膜厚と、情報の書き込み消去方法とに相違がある。フローティングゲート型EPROMでは、ホットエレクトロン効果を利用して情報の書き込みを行い、フローティングゲートを有するフラッシュ型E² PROMでは、トンネル効果を利用して情報の書き込みを行う。

【0011】ゲート絶縁膜8の上には、フローティングゲート10が形成される。フローティングゲート10は、例えばCVD法により成膜されたポリシリコン膜を所定のパターンにエッチングすること等により形成される。前述したソース・ドレイン領域6bは、フローティングゲート10を形成した後に、半導体薄膜6にセルフアライン的に例えばN型の不純物をイオン注入することにより形成される。P型のMOSトランジスタを構成させる場合には、P型の不純物をイオン注入する。

【0012】フローティングゲート10の上には、絶縁膜12を介してコントロールゲート14が形成される。コントロールゲート14は、フローティングゲートと同様に形成される。フローティングゲート14の上には、層間絶縁膜16が積層され、この絶縁膜16上に、配線層が形成される。

【0013】このような構成のEPROMから成る不揮発性半導体メモリ装置2では、情報の書き込みは、ソース・ドレイン間のホットエレクトロン効果を利用してフローティングゲート10に電子を蓄積させることにより行う。また、情報の消去は、紫外線光などを照射することにより、フローティングゲート10から電子を放出させることにより行う。また、図1に示す構造と同様な構造で、フラッシュ型E² PROMとした場合には、情報の書き込み消去は、トンネル電流効果を利用したフローティングゲート10に対する電子の注入および放出により行われる。

【0014】図2は本発明の他の実施例を示し、本発明をMNOS (Metal Nitride Oxide Semiconductor) 型E² PROMに適用した場合の例を示す。この実施例の半導体メモリ装置2aの各メモリセル3aでは、層間絶縁膜4上に、半導体薄膜6が形成してある。この半導体薄膜6は、図1に示す半導体薄膜6と同様であり、この薄膜6にチャネル領域6aと、ソース・ドレイン領域6bとが形成してある。半導体薄膜6の上には、ゲート絶縁膜8aとしての酸化珪素膜が形成してある。この酸化珪素膜の膜厚は、例えば20オングストローム以下である。この酸化珪素膜は、例えばCVD法により成膜

される。この酸化珪素膜から成る絶縁膜8aの上には、窒化珪素膜18が積層される。この窒化珪素膜18の中には、電子を捕獲するトラップが存在し、絶縁膜8aに高電界を印可し、トンネル電流を流し、情報の書き込み消去を行うようになっている。窒化珪素膜18の上には、ゲート電極20が所定のパターンで形成される。ゲート電極20としては、例えばアルミニウムからなる金属電極層が用いられる。

【0015】図3は、本発明のさらにその他の実施例を示し、ボトムゲート構造のTF T型不揮発性半導体メモリ装置の具体例を示す。この実施例の半導体メモリ装置2b、2cにおける各メモリセル3b、3cでは、層間絶縁膜4上に、コントロールゲート14、絶縁膜12、フローティングゲート10、ゲート絶縁膜8および半導体薄膜6が、この順で積層してあり、ゲート電極が半導体薄膜6の下方に形成してある。そして、半導体薄膜6に、ソース・ドレイン領域6bとチャネル領域6aとが形成してある。このようにゲート電極が半導体薄膜6の下方に形成してあるTF Tをボトムゲート型TF Tと称する。特に、図3(b)に示す実施例では、絶縁膜4の表面に凹部4aを形成し、この凹部4a内に、TF T構造のボトムゲートEPROMあるいはE² PROMを形成するようにしていることから、コントロールゲート14でフローティングゲート10を包み込むことが可能になり、しかも半導体装置の表面がフラットになり都合が良い。

【0016】図4に示す実施例の半導体メモリ装置2cでは、層間絶縁膜4の表面に、図1に示すようなTF T構造のトップゲート型メモリセル3と、図3(a)に示すようなTF T構造のボトムゲート型メモリセル3bとの二種類のメモリセルが多数配置してある。この実施例では、半導体薄膜6、フローティングゲート10およびコントロールゲート14を、すべて同一材質であるポリシリコン薄膜で構成することが好ましい。製造を容易にするためである。

【0017】図5に示す実施例の半導体メモリ装置2dでは、半導体基板22の表面にはN型MOS構造のトランジスタ24を形成し、その上に、層間絶縁膜4を介して図1に示すようなTF T構造のトップゲート型メモリセル3を形成してある。この実施例では、半導体薄膜6に形成してあるチャネル領域6aに対するN型MOS構造のトランジスタ24のゲート電極26の影響をなくするため、層間絶縁膜4の膜厚を十分に取る必要がある。この層間絶縁膜4の膜厚は、例えば1000オングストローム以上である。なお、図中、符号28は、N型MOS構造のトランジスタ24のゲート絶縁膜であり、符号30は、そのソース・ドレイン領域であり、符号32は、素子分離領域としての選択酸化領域である。

【0018】図6に示す実施例の半導体メモリ装置2eでは、半導体基板22の表面に形成してあるN型MOS

構造のトランジスタ24aのゲート電極を、TFT構造のボトムゲート型メモリセル3bのコントロールゲート14と兼用して共通化している。この実施例では、ゲート電極配線数を減らすことが可能になる。

【0019】図7(a)，(b)に示す実施例の半導体メモリ装置2f，2gは、半導体薄膜6の上層側および下層側の両側に、それぞれ、フローティングゲート10a，10bとコントロールゲート14a，14bとを絶縁膜8a，8b，12a，12bを介して積層してあるメモリセル3f，3gを有する。このようにゲート電極を半導体薄膜6のチャンネル領域6aの上下両側に設けることで、チャンネル領域6aを流れるオン電流を大きくすることが可能になり、メモリセルのオン・オフ比を向上させることができる。また、チャンネル領域6aの上下両側にゲート電極を設けることで、これらゲート電極がシールドとなり、他の配線層からのチャンネル領域6aに対する悪影響を防止することができる。

【0020】特に、図7(b)に示す実施例では、半導体薄膜6を比較的厚く形成し、上層側のフローティングゲート10aおよびコントロールゲート14aで、半導体薄膜6を覆うように積層してあることから、半導体薄膜6の側面もチャンネル領域6aとして用いることが可能になる。当然のことながら、半導体薄膜6の側面に、個別のゲート電極を配置するように構成してもよい。なお、図7(b)は、チャンネル領域6aを横断する断面図である。

【0021】なお、本発明は、上述した実施例に限定されるものではなく、本発明の範囲内で種々に改変することができる。

【0022】

【発明の効果】以上説明してきたように、本発明によれば、TFT構造の不揮発性メモリが実現され、例えば半導体基板に、高駆動能力が要求される駆動用周辺回路を形成すること等により、チップサイズの低減および高集積化が可能になる。また、半導体薄膜の上層側および／または下層側にゲート電極構造を配置することが可能となるので、設計レイアウトの自由度が大幅に増大する。

特に、半導体薄膜の下層側にゲート電極を有する構造では、このゲート電極を、半導体基板に形成したチャンネルに対するゲート電極と共通化することが可能になり、ゲート電極配線数を減らすことが可能になる。また、半導体薄膜に形成してあるチャンネル領域の上下両側にゲート電極を設けるようにした本発明では、上下のゲート電極がシールドとなり、他の配線層からのチャンネルに対する悪影響を防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るTFT型不揮発性半導体メモリ装置の要部概略断面図である。

【図2】本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

【図3】本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

【図4】本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

【図5】本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

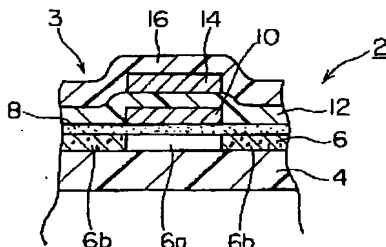
【図6】本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

【図7】本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

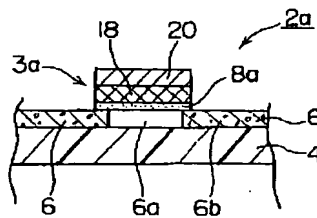
【符号の説明】

- 2，2a，2b，2c，2d，2e，2f，2g…半導体メモリ装置
- 3，3a，33c，3f，3g…メモリセル
- 4…層間絶縁膜
- 6…半導体薄膜
- 6a…チャンネル領域
- 6b…ソース・ドレイン領域
- 8，8a，8b…ゲート絶縁膜
- 10，10a，10b…フローティングゲート
- 12，12a，12b…絶縁膜
- 14，14a，14b…コントロールゲート
- 18…窒化珪素膜
- 20…ゲート電極

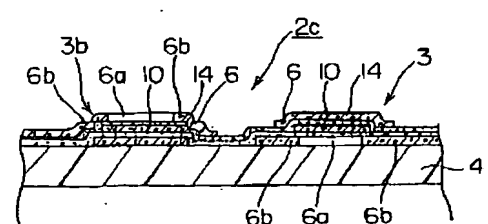
【図1】



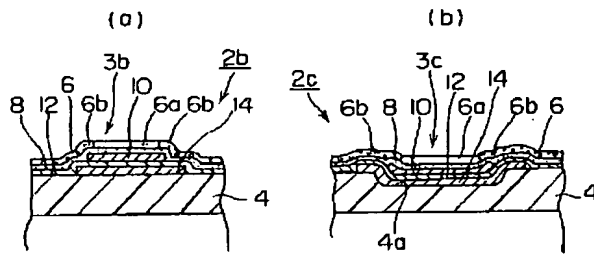
【図2】



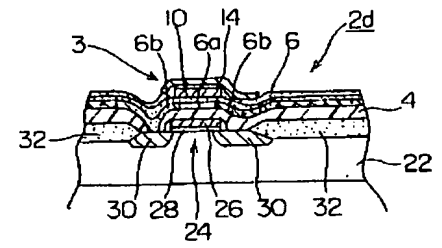
【図4】



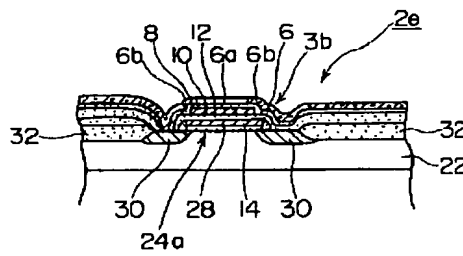
【図3】



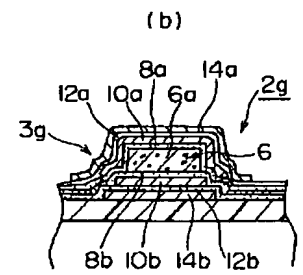
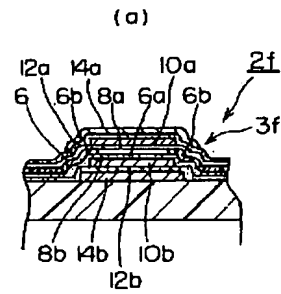
【図5】



【図6】



【図7】



THIS PAGE BLANK (USPTO)